

Mn ナノドットを埋め込んだ Si リッチ酸化膜の抵抗変化特性

Resistance-Switching Properties of Si-rich Oxide Films embedding Mn-nanodots

¹名大院工, ²名大 VBL [○]荒井 崇, ¹劉 冲, ²大田 晃生, ¹牧原 克典, ¹宮崎 誠一

¹Grad. School of Eng. Nagoya Univ., ²VBL Nagoya Univ., [○]Takashi Arai, ¹Chong Liu, ²Akio Ohta, ¹Katsunori Makihara and ¹Seiichi Miyazaki

E-mail: arai.takashi@e.mbox.nagoya-u.ac.jp

序>これまでに、SiO_x (x≈1.8) 膜を抵抗変化層に用いた Pt 電極 MIM 構造において、SiO_x 膜中の酸素欠損が可逆的な電気抵抗変化に、局所的な導電性パスの形成・遮断が抵抗スイッチング動作に寄与することを報告した[1]。本研究では、導電性パスの制御を目指し、Mn ナノドット(NDs)を埋め込んだ SiO_x 膜の抵抗変化特性を評価した。

実験>SiO₂/n 型 Si(100)を下地基板として、電子線蒸着 (圧力:1x10⁻³Pa) により Ni 下部電極(膜厚:~15nm)、SiO_x 膜 (~1nm)、Mn 膜 (~2nm)を順に積層した。続いて、外部非加熱で、H₂ ガスのリモートプラズマ処理(60MHz-ICP: 500W, 10Pa, 10min)を行い[2]、Mn-NDs を形成した。この時、AFM 観察より、NDs の面密度と平均面内直径は、2.4×10¹¹cm⁻²および 15nm であることを確認している。Mn-NDs 形成後、SiO_x 膜 (~8nm)と Ni 上部電極 (~50nm, 電極面積: ~2.6x10⁻³cm²)を形成した。また、Mn-NDs 形成工程をスキップし、Ni/SiO_x(~9nm)/Ni 構造も比較として作製した。

特色と独創的な点>室温で NDs の形成が可能であるリモート H₂ プラズマ処理により Mn-NDs を形成し、SiO_x 膜へ埋め込むことで、NDs の電界集中や化学反応を活用し、抵抗変化特性の向上を試みた。

結果及び考察>Ni 上部電極に負バイアス印加し、I-V 特性より抵抗変化特性を評価した(Fig.1)。フォーミング動作後に、ユニポーラ型の抵抗変化スイッチングが認められた。Mn-NDs を SiO_x 膜に埋め込むことで、RESET 電圧および OFF リーク電流が顕著に低減する。この結果は、Mn-NDs 導入による電界集中で、微細導電パス形成が高品位化したことが示唆される。SET および RESET の動作電圧、高抵抗状態(HRS)と低抵抗状態(LRS)のスイッチング回数依存性を Fig.2 に示す。SiO_x 単層の場合は、SET および RESET 電圧がスイッチング回数の増大に伴って徐々に低下する。これに対し、Mn-NDs を埋め込むことで、動作が安定化し、SET 電圧 1.0V および RESET 電圧 0.6V で、HRS と LRS の抵抗比が 1桁以上のスイッチングが繰り返し観測された。Fig.2 の結果からも、ナノドットで生じる電界集中効果によって、SiO_x 膜中の導電パスの形成位置が限定され、導電パスの生成・消滅が効率的に行われたことが示唆される。

結論>Mn-NDs を埋め込んだ SiO_x 膜において、電界集中効果を利用することで、動作電圧が安定化し、ON/OFF 抵抗比が 1桁程度増大したスイッチング動作が得られた。

謝辞>本研究の一部は、科学研究費補助金 若手研究(B) (課題番号 25790058) の支援を受け、名古屋大学ベンチャービジネスラボラトリーを利用して行った。

文献>[1] A. Ohta, et al., IEICE Trans. on Electr., E96-C (2013) 702. [2] K. Makihara, et al., Jpn. J. Appl. Phys., 47 (2008) 3099.

キーワード>抵抗変化メモリ(ReRAM), リモート H₂ プラズマ処理, ナノドット, Si リッチ酸化膜(SiO_x)

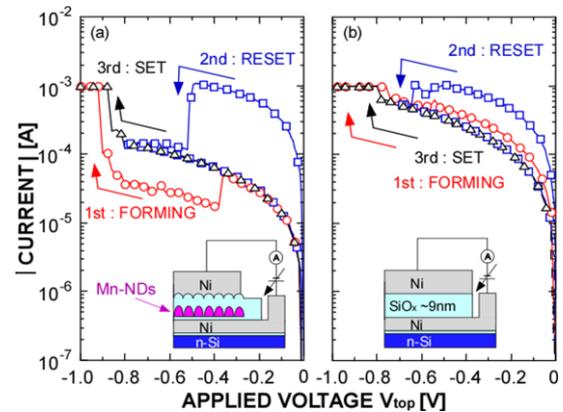


Fig.1 Typical I-V curves taken for (a) Ni/SiO_x/Mn Nano-dots/SiO_x/Ni and (b) Ni/SiO_x/Ni diodes. The compliance current level was set at 1x10⁻³ A during the forming and set processes.

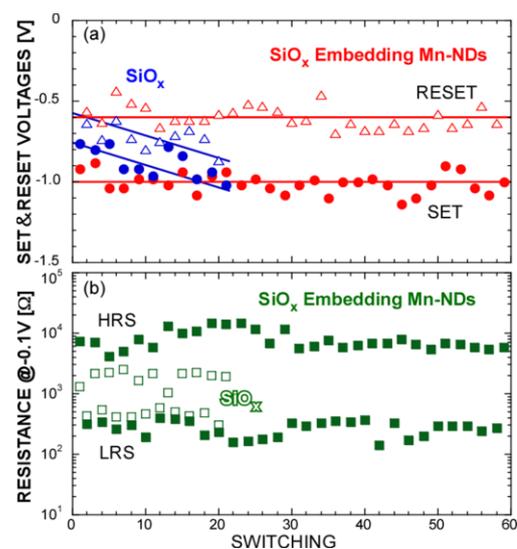


Fig.2 (a) The operation voltages of SET and RESET processes and (b) the ON/OFF rate of resistance during the switching taken for MIM diodes seen in Fig. 1.