固相エピタキシャル成長法を用いた高 Sn 組成 SiSn 層の形成

Solid phase epitaxy of SiSn layer with high Sn content

名古屋大院工¹,学振特別研究員(PD)², ^o加藤元太¹,黒澤昌志^{1,2},山羽隆¹,坂下満男¹,竹内和歌奈¹,中塚理¹,財満鎭明¹ ^lGraduate School of Engineering, Nagoya Univ., ²JSPS Research Fellow (PD) ^oM. Kato¹, M. Kurosawa^{1, 2}, T. Yamaha¹, M. Sakashita¹, W. Takeuchi¹, O. Nakatsuka¹, S. zaima¹ E-mail: mkato@alice.xtal.nagoya-u.ac.jp

[研究背景] シリコンフォトニクスは低消費電力・高集積化を可能にする光電融合技術であり、光通信ネットワークへの応用のためには、IV族系による光通信波長域の受発光素子の開発が必要不可欠である。 SiSn 半導体は、20%以上の Sn 添加によって、光通信波長域の直接遷移型半導体となることが理論計算により報告されている[1]。しかし、Si に対する Sn の熱平衡固溶限は 0.1%以下と非常に小さく、これまで実現の目途は立っていなかった。本研究では、Sn 組成 21.5%の SiSn と格子整合する Ge 基板の利用に着目し、高 Sn 組成エピタキシャル SiSn 層の形成を目指した。

[実験方法] 表面清浄化した Ge(001)基板上に、固体ソース分子線堆積法により非晶質 SiSn (膜厚:50 nm、設計 Sn 組成:30%、基板温度 100℃)を成膜した。その後、窒素雰囲気中において Sn 融点 (231.9℃) 以下の熱処理 (220℃、5 h)を施し、固相成長を誘起した。

[特色と独創的な点] 本研究の特色は、Sn 融点以下での熱処理による固相エピタキシャル成長を用いて、 Ge 基板上に Sn 組成 20%を超える SiSn 層の形成を試みた点である。基板とエピタキシャル膜との間で格 子定数差が大きい場合、エピタキシャル膜は応力に耐え切れず、結晶欠陥の導入、Sn の析出などが起こ る。以上より、Si と同族であり格子定数がより大きい Ge 基板を選択した。また、Sn の融点以上の熱処 理においては、SiSn 中へ Ge が取り込まれて SiGeSn が形成する。Sn の融点以下での熱処理により、Ge 基板と SiSn 層のミキシングを抑制し、SiSn の固相エピタキシャル成長が進行した。

[研究成果] 固相成長後の断面構造を透過型電子顕微鏡(TEM)により評価した(Fig.1)。TEM 像(Fig. 1a)を高速フーリエ変換(FFT)し(Fig. 1b、Fig. 1c)、その逆空間パターンからSiSnの格子定数を求めた結果、SiSnの格子定数は0.57 nm と基板のGeの格子定数と非常に近い値であった。これはSiSnのエピタキシャル成長を示唆している。次に、オージェ電子分光(AES)法により熱処理前後のSn組成の深さ分布を評価した(Fig.2)。熱処理前後において膜中Sn組成は約20%であり、熱処理前後で同様のプロファイルを示している。つまり、熱処理によりSiSn層中での顕著なSnの偏析や拡散は見られないことを示している。これは、Siの格子置換位置にSnが20%取り込まれていることを示している。以上の結果より、固溶限の200倍を超えるSn組成のSiSn層(膜厚~20 nm)の形成に成功した。

[参考論文] [1] J. Tolle et al., Appl. Phys. Lett. 89, 231924 (2006)

[キーワード] SiSn、固相エピタキシャル成長、シリコンフォトニクス





Fig. 1 (a) TEM image of the SiSn layer annealed at 220°C for 5 h. FFT patterns of (b) SiSn layer and (c) Ge substrate.

Fig. 2 AES depth profile of Sn. Solid line is that for the 220°C-annealed sample. Broken line is that for the as-deposited sample.